

(19)



JAPANESE PATENT OFFICE

E405/

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06202763 A

(43) Date of publication of application: 22.07.94

(51) Int. Cl

G06F 1/26

G06F 1/08

(21) Application number: 04348001

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 28.12.92

(72) Inventor: SATAKE SHINJI  
SUZUKI TOSHIAKI

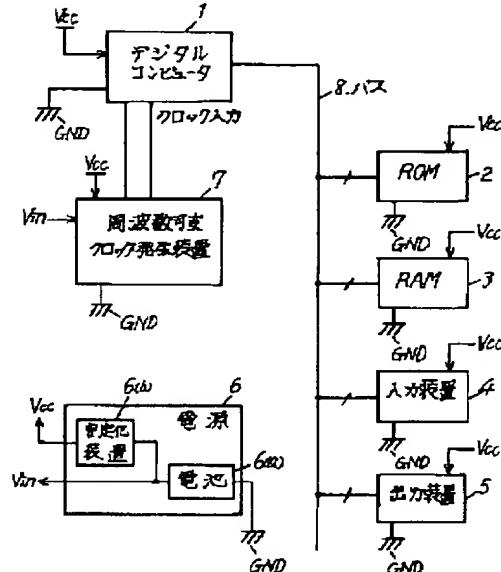
(54) COMPUTER SYSTEM

(57) Abstract:

PURPOSE: To prevent the sudden stoppage of an operation with a further simple constitution in a computer system using a power unit in which the life of a battery or the like is limited.

CONSTITUTION: This system is equipped with a frequency variable clock generating means 7 without the fixed frequency oscillator of a crystal or the like, which senses the voltage change of a power source 6, and generates a clock frequency corresponding to the voltage change, and digital equipments 2-5 of a digital computer 1 or the like which is operated by the clock oscillated by the frequency variable clock generating means. Thus, a system clock frequency is decreased according as the output voltage of the limited power source such as the battery is decreased, so that an operational response can be slow, and it is possible to avoid the sudden stoppage of the computer system by allowing a user to consider a battery exchanging period.

COPYRIGHT: (C)1994,JPO&Japio



E4051

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-202763

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.<sup>5</sup>G 06 F 1/26  
1/08

識別記号

序内整理番号

F I

技術表示箇所

7165-5B  
7165-5BG 06 F 1/ 00  
1/ 043 3 1 E  
3 2 0 Z

審査請求 未請求 請求項の数 4 (全 6 頁)

(21)出願番号

特願平4-348001

(22)出願日

平成4年(1992)12月28日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 佐竹 慎二

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 鈴木 敏明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

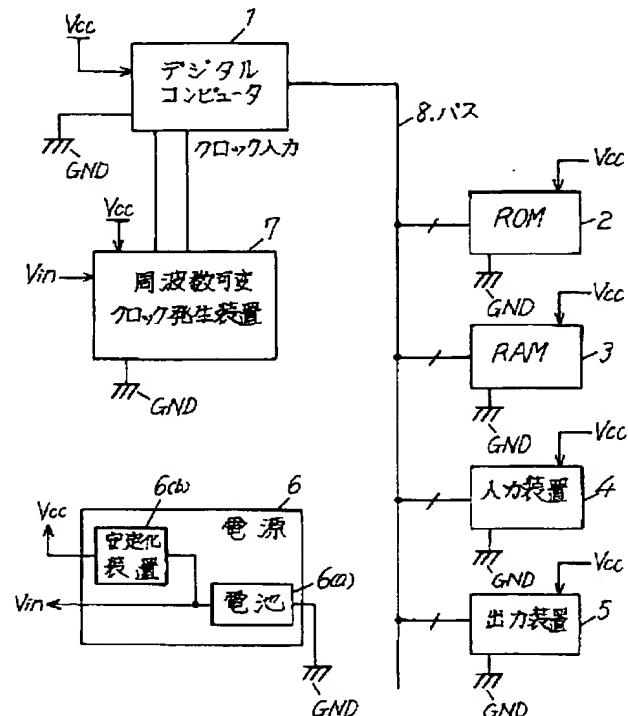
(54)【発明の名称】 コンピュータシステム

(57)【要約】

【目的】 電池等の寿命が限られている電源装置を用いるコンピュータシステムにおいて、より簡単な構成で突然の動作停止を防ぐ。

【構成】 水晶等の固定周波数発振子を有さずに電源6の電圧変化を感じ、この電圧変化に対応したクロック周波数を発生する周波数可変クロック発生手段7と、この周波数可変クロック発生手段が発振するクロックで動作するデジタルコンピュータ1等のデジタル機器2~5とを備えた。

【効果】 電池等の有限な電源の出力電圧が低下に応じて、システムクロック周波数が低下するので、動作レスポンスが遅くなり、使用者に電池交換時期を意識させることで、突然のコンピュータシステムの停止を回避可能とした。



## 【特許請求の範囲】

【請求項1】電源電圧発生手段と、電源電圧を感知して前記電源電圧の変化に対応したクロック周波数を発生する周波数可変クロック発生手段と、前記周波数可変クロック発生手段から発生するクロックで動作するデジタル機器を備えたコンピュータシステム。

【請求項2】電源電圧の低下にともなって周波数可変クロック発生手段の発生するクロック周波数が直線的に小さくなる請求項1記載のコンピュータシステム。

【請求項3】周波数可変クロック発生手段は、入力電圧のノイズを除去するフィルタとして作用するノイズ除去部と、前記ノイズ除去部の出力を入力とし電圧をクロック周波数に変換する可変周波数発生部とを有し、前記ノイズ除去部と前記可変周波数発生部との間に電圧フィルタを設け、前記電圧フィルタは入力電圧が一定の電圧値以上の場合に一定の電圧値を前記可変周波数発生部に伝えることを特徴とする請求項1記載のコンピュータシステム。

【請求項4】電源電圧発生手段は電池と電圧安定化装置からなり、前記電池からの出力電圧を直接に周波数可変クロック発生手段の入力電圧とする第一の出力端子と、前記電池からの出力電圧を前記電圧安定化装置を介してコンピュータシステムを構成する各機器に印加する第二の出力端子とを有することを特徴とする請求項1記載のコンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はコンピュータシステム、特に寿命に限りのある電源、たとえば電池等を使用したコンピュータシステムに関するものである。

## 【0002】

【従来の技術】従来のコンピュータシステムの構成を図8に示す。同図に示すように、従来のコンピュータシステムは、デジタルコンピュータ41と、水晶発振子等の固定周波数発振子42(a)により一定の出力周波数の出力信号を発生し、この出力信号によってデジタルコンピュータ41を動作させるクロック発振器42と、これらに電力を供給する電源43とで構成されている。なお、電源43は電池43(a)から得られる電圧を安定化装置43(b)を介してコンピュータシステム全体に電圧Vccを供給する。また、44はリードオンリメモリ(以下、ROMという)、45はランダムアクセスメモリ(以下、RAMという)、46は入力装置、47は出力装置で、これらはデジタルコンピュータ41に接続されている。

【0003】このような従来のコンピュータシステムにおいては、電源43として電池43(a)等の寿命が限られているものを用いた場合、使用するにつれて電池43(a)の電圧が低下する。ある程度の低下までは安定化装置43(b)により電源電圧が一定に保たれている

が、所定の値以下に電池の電圧が低下すると電源電圧Vccも低下し始める。一方、クロック発振器42は、電源電圧の変化にかかわらず、つねに水晶発振子等の固定周波数発振子42(a)で定められた一定の発振周波数の信号を出力している。

【0004】しかしながら、デジタルコンピュータ41、ROM44、RAM45等のコンピュータシステム全体を構成するデジタル機器は供給されている電圧Vccが一定のしきい値電圧以下になると動作しなくなるという特性を有するので、コンピュータシステムにおいて電源として用いる電池の放電にともなって電源電圧が降下し始めると、前触れなく突然にデジタルコンピュータ41等が動作不能になり、システム全体が停止するというおそれがあった。

【0005】このような問題を解決するために、電源電圧の変化を検知して、この変化にもとづいて周波数発振器から得られる固定の発振周波数を分周器等によって分周し、周波数を変えて電源電圧の変化に対応させる構成が提案されている(例:特開平1-255021号公報、特開昭61-6721号公報)。

## 【0006】

【発明が解決しようとする課題】しかしながら、このような構成では、クロック周波数の発生源である周波数発振器から出力される周波数は従来と同様につねに一定であり、クロック周波数発生源以後の構成で分周器で周波数を選択するため、周波数を選択するためのソフト的な制御手段等の構成が余分に必要であり、システム全体として構成が複雑になることが避けられない。また、分周器を用いると、選択できる周波数値は通常2~3種類程度であり、複数種類の周波数を選択可能にしようとするより一層構成が複雑になってしまう。

【0007】本発明は、電池等の寿命が限られている電源装置を用いてコンピュータシステムを動作させる場合、その電池寿命が残り少なくなると電圧が下がるという問題に着目し、より簡単な構成で電源電圧の降下に従ってクロック周波数を低くしてコンピュータシステムの動作を遅くすることにより消費電力を低下させ、システム全体の動作時間を延ばし、かつシステムの動作が停止してしまう前にコンピュータシステムの動作を遅くすることによりユーザーがあらかじめ電源電圧の低下を知ることができるようにコンピュータシステムを提供することを目的とする。

## 【0008】

【課題を解決するための手段】この目的を達成するため本発明のコンピュータシステムは、水晶等の固定周波数発振子を有さずに電源の電圧変化を感知し、この電圧変化に対応したクロック周波数を発生する周波数可変クロック発生手段と、この周波数可変クロック発生手段が発振するクロックで動作するデジタルコンピュータ等のデジタル機器を備えたことを特徴としたものである。

## 【0009】

【作用】上述の構成により、電源電圧の変化を感知し、周波数可変クロック発生装置に出力クロック周波数を変化させて、電源電圧の低下に応じてデジタルコンピュータに与えられるクロック周波数が低下し、コンピュータシステム全体の動作やレスポンスが徐々に遅くなる。

## 【0010】

【実施例】以下、本発明の一実施例について図1および図2を参照しながら説明する。

【0011】図1は電池駆動型パーソナルコンピュータの構成を示すブロック図である。同図において、1は8ビットもしくは16ビットのデジタルコンピュータで、ROM2やRAM3の記憶装置のほか、入力装置4や出力装置5のデータ入出力装置が接続されている。入力装置4としてはたとえばパーソナルコンピュータのキーボードを用い、また出力装置5としてはたとえばCRT等のディスプレイを用いる。これらのデジタルコンピュータ1、ROM2、RAM3、入力装置4および出力装置5は、8ビットもしくは16ビットのデータバス8により接続されており、またそれぞれが電気的に接地されている。6は電源であり、電池6(a)から得られる電圧を安定化装置6(b)を介してシステム全体に電力(電圧Vcc)を供給する。このように安定化装置6(b)を介しているため、電池の電圧変化にかかわらず、つねに安定してシステム全体が動作する。また、電池6(a)から得られる電圧VINを直接に周波数可変クロック発生装置7に供給する。この周波数可変クロック発生装置7で電源6の出力電圧VINの変化を感じ、電圧VINが低下すると、それに応じて発振周波数を低下させ、システムに供給しているクロック周波数を低下させる。

【0012】周波数可変クロック発生装置7についてさらに詳細に説明する。図2は周波数可変クロック発生装置7の一実施例を示す。図中11、12は演算增幅器、13はトランジスタ、14はロジックIC、15～25は抵抗器、26、27はコンデンサである。

【0013】周波数可変クロック発生装置7はノイズ除去部(a)および可変周波数発生部(b)で構成されている。ノイズ除去部(a)は抵抗25およびコンデンサ27で構成され、電源からのリップル(電源電圧の脈流)やノイズ成分を除去し、次の可変周波数発生部(b)の動作を安定させる役割を持つ。

【0014】可変周波数発生部(b)は、電子スイッチとして働くトランジスタ13と、積分器、コンパレータとに分かれている。これらのうち積分器は抵抗22～24、コンデンサ26、および演算增幅器12で構成されている。抵抗22、23は抵抗値が必ず抵抗値(22)=抵抗値(23)の関係を保ち、B点の電圧値をC点の1/2に保つ役割をもつ。また、コンパレータは演算增幅器11、ロジックIC14、および抵抗16～19で

構成される。このコンパレータはロジックIC14と抵抗器17～19で構成される正帰還回路によりヒステリシスをもつコンパレータを実現している。

【0015】この可変周波数発生部(b)の動作について説明する。トランジスタ13がオフのとき(すなわちトランジスタ13のゲート電圧が低レベルのとき)、電流はトランジスタ側に流れず、コンデンサ26側にのみ流れるので、コンデンサ26が充電されて、A点の電位が上がる。A点の電位が上がると演算增幅器12のマイナス側入力の電位が上がりるので、演算增幅器12の出力であるD点の電位が下がる。さらにD点の電位が下がると演算增幅器11のマイナス側入力が下がるので、演算增幅器11の出力F点の電位が上がる。この出力F点の電位が高レベルになるとトランジスタ13がオン状態になる。そして、トランジスタ13側に電流が流れるため、充電されていたコンデンサ26が抵抗21を介して放電する。この放電によりA点の電位が下がり、演算增幅器12の出力であるD点の電位が上るので、結局、出力F点の電位が下がり、低レベルになる。そして再びトランジスタ13はオフ状態になる。このような動作を繰り返すことで、F点の電位は高レベル、低レベルを繰り返し、出力端子Foutよりクロック周波数出力が得られる。

【0016】なお、この出力されるクロック周波数を変える場合には、抵抗22～24の抵抗値や、コンデンサ26の容量を変えればよい。たとえば、周波数を低くする(周期を長くする)ためには、コンデンサ26の容量を大きくするか、あるいは抵抗22～24のうちの少なくとも一つの抵抗値を大きくするか、または両者の値を大きくすればよい。逆に周波数を高くしたい場合には、容量または/および抵抗値を小さくすればよい。

【0017】このコンデンサ26や抵抗22～24とクロック周波数との関係について、図3を用いてさらに説明する。図3は図2におけるD点の電位変化を示すタイミングチャートである。同図において、このD点の電位Vinと時間Δtおよびクロック周波数fは次式に示す関係を有する。

$$f \propto 1/\Delta t = I / (C \times V_0) = V_{IN} / (V_0 \times R \times C)$$

ここで、Cはコンデンサ26の容量であり、Iは電流値、Rは抵抗24の抵抗値、またVINは電池の電圧である。すなわち、入力電圧VINが大きいほど、また抵抗値やコンデンサの容量、また電流値が小さいほど、クロック周波数fの値が大きくなる。

【0019】次に、演算增幅器11、ロジックIC14および抵抗器17～19で構成される正帰還回路の動作を図4を用いて説明する。図4(a)、(b)、(c)は、それぞれ図2の回路におけるD点、F点、E点の電位を示すタイミングチャートである。同図(a)においてD点の電位が段々と上がり、上位のスレショルド電圧

$V_1$ に達したとき出力F点、E点の電位は同図(b)、(c)に示すように低レベル電位となる。一方、D点の電位が下がり、下位のスレショルド電圧 $V_0$ まで低下したときに出力F点、E点は高レベル電位となる。このような振舞いをするのは、正帰還回路によりヒステリシスをもつコンパレータを実現しているからである。また、ロジックIC14および抵抗18、19を設けることにより、E点における電位は中点Oを中心として± $V_2$ に電位が振れ、この $V_2$ の値はF点の振幅より小さくなるので、回路動作をより安定にすることができる。

【0020】以上のように構成された本実施例のコンピュータシステム全体の動作を以下に説明する。

【0021】電池からなる電源6は、放電開始後所定時間までは所定の電圧以上を保っている。ところが、電池寿命が残り少なくなると、徐々にその出力電圧が下がってくる。電源電圧が低下すると、上式の関係から周波数可変クロック発生装置7に流れ込む電流値が低下するので、クロック周波数も低下する。その変化の特性は図5に示すとおりで、電源電圧が下がるとそれに応じて線形的に出力クロック周波数が低くなる。このように、システムクロック周波数が下がると、システム全体の消費電力が減少するとともにコンピュータシステムの動作(レスポンス)も遅くなるので、ユーザーは電池の寿命が近づいてきたことをあらかじめ知ることができる。特に、図5に示すように電源電圧に対する周波数特性を線形的にすれば、電源電圧の変化に従ってコンピュータシステムの動作(レスポンス)も線形的に遅くなるので、より電池の寿命を長く保つことができる。なお、図5に示す電圧-周波数特性の傾きは、図2における抵抗24の抵抗値およびコンデンサ26の容量の関係により決まる。

【0022】なお、以上の実施例では周波数可変クロック発生装置7によって実現される電源電圧対出力クロック周波数の特性が線形的な場合について述べたが、本発明においては、このような電圧と周波数との関係に限られるものではなく、図6に示すように、コンピュータシステム全体のデジタル機器の特性に対応させて、電源電圧が一定値 $V_a$ 以上であれば一定のクロック周波数を発生し、電圧値 $V_a$ 以下でクロック周波数を徐々に低下させる特性であってもよい。この場合における $V_a$ はデジタルコンピュータが不動作になるしきい値電圧よりやや大きい値とするのが好ましい。たとえば、デジタル機器のしきい値電圧が3.0Vであれば、安全のため $V_a$ を3.5V以上にとっておくのが好ましい。

【0023】図6に示すような特性を得るために構成を図7に示す。同図において(a)、(b)はそれぞれ図2中のノイズ除去部(a)および可変周波数発生部(b)に相当する。図2に示す回路構成と異なるのは、ノイズ除去部(a)と可変周波数発生部(b)の間にツェナーダイオード28を設けたことである。一般にツェナーダイオードは、ある一定値以上の電圧がかかると突

然に電流が流れ始め、逆に一定値以下の電圧では電流をほとんど通さないという特性を有するので、この性質を利用して電圧フィルタとしてツェナーダイオード28を用いる。すなわち、ツェナーダイオード28を用いることにより、電池がまだ新しい状態で電圧 $V_{IN}$ が所定の値以上であればノイズ除去部(a)から可変周波数発生部(b)へ流れる電流はツェナーダイオード28の方にも流れれるため、可変周波数発生部(b)の方へは一定の電圧しかかかるない。すなわち電圧 $V_{IN}$ が変化しても、周波数可変クロック発生装置7からは一定のクロック周波数しか出力されない。ところが時間の経過とともに電池の電圧が低下する、すなわち電圧 $V_{IN}$ が所定の値よりも低くなるとツェナーダイオード28の方へは電流が流れにくくなるため、ツェナーダイオード28が存在しない回路(図2の回路)と同等の回路となり、ノイズ除去部(a)からの電流はほとんど可変周波数発生部(b)へ流れ、電圧 $V_{IN}$ がそのまま可変周波数発生部(b)に印加される。このようにして、図6に示す電圧-周波数特性が得られる。

【0024】以上のように、従来であれば分周器を用いて周波数を変化させていたので、デジタルコンピュータのソフトウェアによりどの周波数を選ぶかを選択していくが、本発明ではソフトウェアの介在なく周波数を選ぶ(変化する)ことができ、既存のソフトウェアに変更を加えずに新しい機能を提供できる。また、従来では多段階に周波数を変化させようとすると、分周器が多く必要であり、構成が複雑になることが避けられなかったが、本発明においては簡単な構成で周波数可変クロック発生装置の設定条件によって、連続的(無数段階)に周波数変化を実現することができる。

【0025】特にCMOS-LSI技術を使用して構成されたコンピュータシステムは、電源電圧の変化に敏感であり、消費電力が動作クロック周波数に依存するので、本発明を適用することによりより顕著な効果が得られる。

#### 【0026】

【発明の効果】本発明によれば、より簡単な構成で電池等の有限な電源の出力電圧が低下に応じて、システムクロック周波数を低下させるので、システム全体の動作時間を延長させることができる。これにより電池を用いるコンピュータシステム(たとえばハンディパソコン、ノート型パソコン等のポータブル機器)のデジタル信号処理部分が停止したために突然にまったく使えなくなるといった致命的なトラブルが回避される。また、クロック周波数低下による動作レスポンスの遅延により、使用者に電池の交換時期を意識させ、突然のシステムダウンを防止させることができる。

#### 【図面の簡単な説明】

【図1】本発明のコンピュータシステムにおける実施例の構成を示すブロック図

【図2】本発明のコンピュータシステムにおける周波数可変クロック発生装置の実施例の構成を示すブロック図

【図3】本発明の周波数可変クロック発生装置の回路上の電位変化を示すタイミングチャート

【図4】本発明の周波数可変クロック発生装置の回路上の電位変化を示すタイミングチャート

【図5】本発明の実施例における周波数可変クロック発生装置の出力クロック周波数と電源電圧との関係の実施例を示す特性図

【図6】本発明の実施例における周波数可変クロック発生装置の出力クロック周波数と電源電圧との関係の他の例を示す特性図

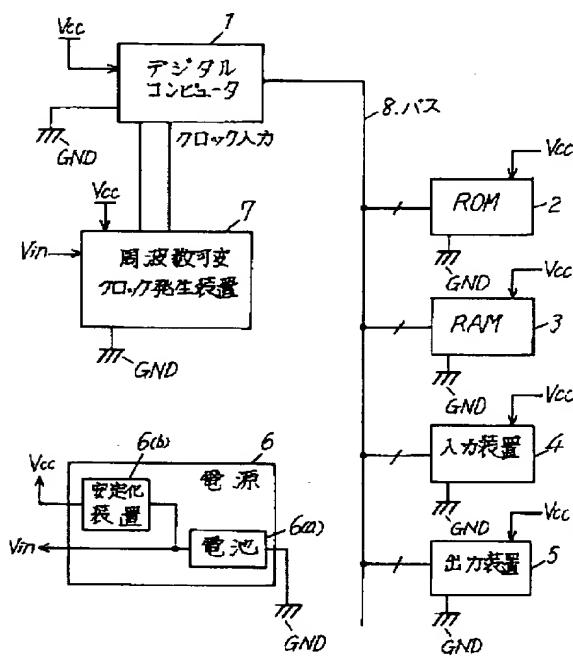
【図7】本発明の他の実施例における回路構成を示す図

【図8】従来のコンピュータシステムの構成を示すブロック図

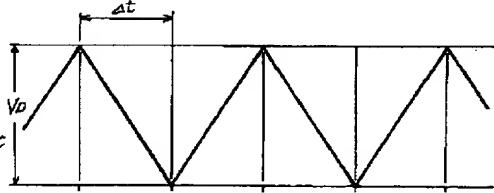
【符号の説明】

- 1 デジタルコンピュータ
- 2 ROM
- 3 RAM
- 4 入力装置
- 5 出力装置
- 6 電源
- 7 周波数可変クロック発生装置
- 8 バス
- 10 データバス

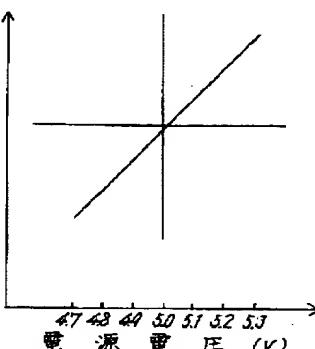
【図1】



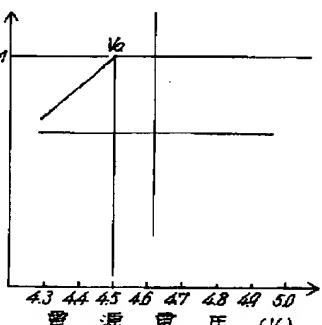
【図3】



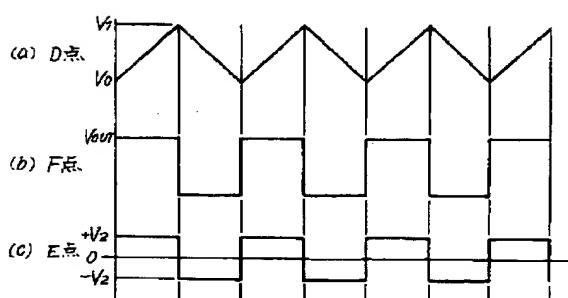
【図5】



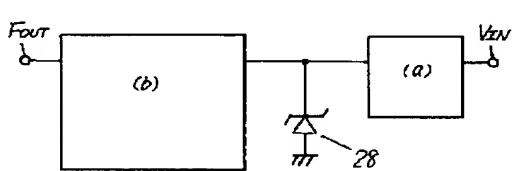
【図6】



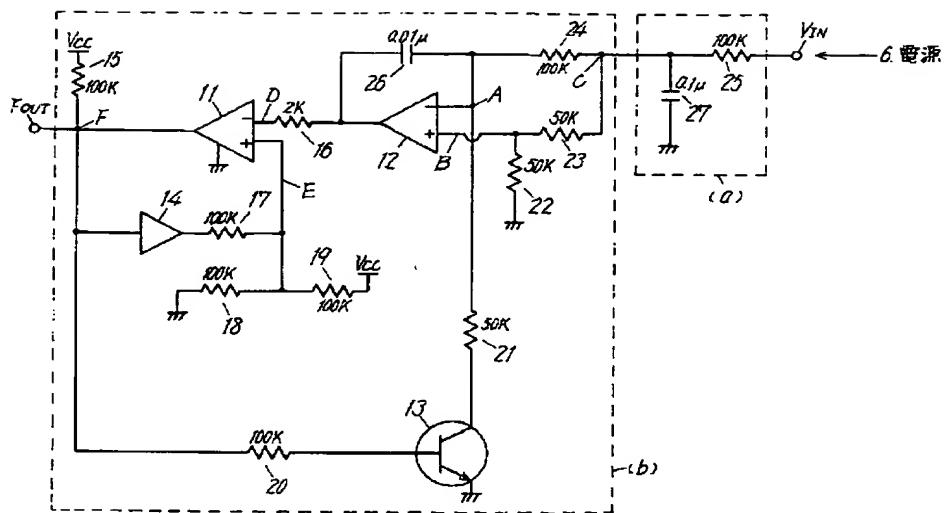
【図4】



【図7】



【図2】



【図8】

